

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-268911

(43)Date of publication of application : 20.09.2002

(51)Int.Cl. G06F 11/22
G01R 31/28
G06F 11/28

(21)Application number : 2001-070605

(71)Applicant : COMPUTEX:KK

(22)Date of filing : 13.03.2001

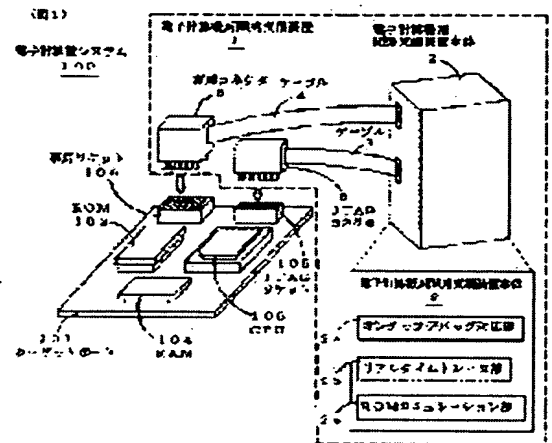
(72)Inventor : YAMADA NOBORU

(54) DEVELOPMENT SUPPORT DEVICE FOR ELECTRONIC COMPUTER

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently perform each of on-chip debug, real time trace and memory emulation using a JTAG port.

SOLUTION: In this development support device 1 for an electronic computer, the JTAG connector 5 to be connected with a JTAG socket 105 of a target board 101 is provided with a terminal for JTAG test and a signal terminal exclusive for the on-chip debug. An exclusive connector 6 to be connected with a socket 106 exclusive for the target board 101 is provided with terminals (signal terminals for real time trace including an address terminal for a CPU 102, a data terminal, terminals ROM emulation including the address terminal for the CPU 102, the data terminal, a chip select terminal to the ROM 103 and a reset terminal) for extended functions to be used for the real time trace and ROM emulation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-268911

(P2002-268911A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 0 6 F 11/22

3 4 0

G 0 6 F 11/22

3 4 0 A 2 G 1 3 2

3 1 0

3 1 0 R 5 B 0 4 2

3 6 0

3 6 0 P 5 B 0 4 8

G 0 1 R 31/28

11/28

L

G 0 6 F 11/28

G 0 1 R 31/28

V

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号

特願2001-70605(P2001-70605)

(22) 出願日

平成13年3月13日(2001.3.13)

(71) 出願人 500208999

株式会社 コンピューテックス

京都市東山区五条橋東4丁目432-13

(72) 発明者 山田 登

京都市東山区五条橋東4丁目432-13 株

式会社コンピューテックス内

(74) 代理人 100095511

弁理士 有近 紳志郎

Fターム(参考) 2G132 AA01 AA20 AC10 AC11

AC15 AG01 AK02 AK03 AK07

AK23 AL00

5B042 GA13 GC03 HH03 HH05 HH30

MC03 MC09

5B048 AA14 DD08 FF03

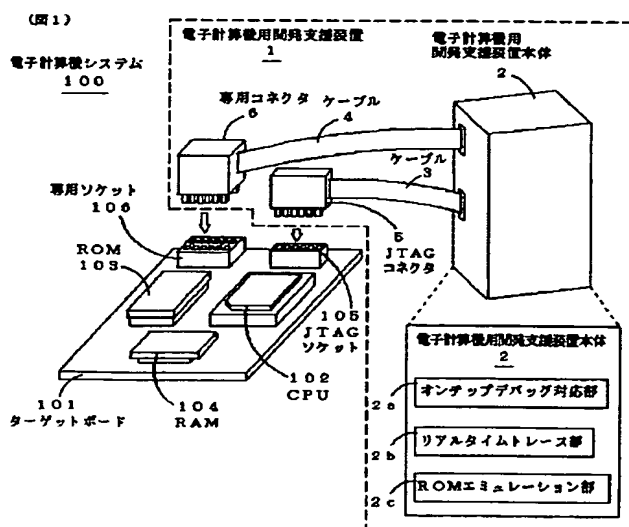
(54) 【発明の名称】 電子計算機用開発支援装置

(57) 【要約】

【課題】 JTAGポートを使ったオンチップデバッグとリアルタイムトレースとメモリエミュレーションのそれぞれを効率よく行えるようにする。

【解決手段】 電子計算機用開発支援装置1において、ターゲットボード101のJTAGソケット105と接続するためのJTAGコネクタ5は、JTAGテスト用端子とオンチップデバッグ専用信号端子とを有している。ターゲットボード101の専用ソケット106と接続するための専用コネクタ6は、リアルタイムトレースおよびROMエミュレーションに用いる拡張機能用端子(CPU102のアドレス端子、データ端子、ステータス端子を含むリアルタイムトレース用信号端子、CPU102のアドレス端子、データ端子、ROM103に対するチップセレクト端子、リセット端子を含むROMエミュレーション用端子)とを有する。

【効果】 オンチップデバッグ、リアルタイムトレース、メモリエミュレーションを臨機応変に行うことが可能となり、開発能率を向上できる。



【特許請求の範囲】

【請求項 1】 ターゲットボードの JTAG ポートに接続し得る JTAG コネクタと、前記ターゲットボードのリアルタイムトレースおよびメモリエミュレーションに用いる拡張機能用端子を有する専用コネクタとを具備したことを特徴とする電子計算機用開発支援装置。

【請求項 2】 ターゲットボードと接続するための専用コネクタを備えた電子計算機用開発支援装置であって、前記専用コネクタは、JTAG 端子と、リアルタイムトレースおよびメモリエミュレーションに用いる拡張機能用端子とを有することを特徴とする電子計算機用開発支援装置。

【請求項 3】 請求項 1 または請求項 2 に記載の電子計算機用開発支援装置において、前記拡張機能用端子は、前記ターゲットボード上に実装された CPU を制御して動作状況を取得するためのリアルタイムトレース用信号端子と、前記ターゲットボード上に実装されたメモリを能動状態または待機状態に制御して前記メモリの動作をエミュレートするためのメモリエミュレーション用信号端子とを有することを特徴とする電子計算機用開発支援装置。

【請求項 4】 請求項 3 に記載の電子計算機用開発支援装置において、前記リアルタイムトレース用信号端子は、前記 CPU のアドレス、データ、ステータスの各信号端子を含み、前記メモリエミュレーション用信号端子は、前記 CPU のアドレス、データ、前記メモリに対するチップセレクト、前記ターゲットボードのリセットの各信号端子を含むことを特徴とする電子計算機用開発支援装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、電子計算機用開発支援装置に関し、さらに詳しくは、オンチップデバッグと、リアルタイムトレースと、メモリエミュレーションのそれぞれを効率よく行えるようにした電子計算機用開発支援装置に関する。

【0002】**【従来の技術】 ー従来例 1ー**

図 5 は、従来の電子計算機用開発支援装置の一例を含む電子計算機システムを示す斜視図である。この電子計算機システム 500 において、ターゲットボード 501 上には、CPU (Central Processing Unit) ソケット 502 と、ROM (Read Only Memory) 503 と、RAM (Random Access Memory) 504 と、図示しない I/O (Input/Output) 回路等とが実装されている。電子計算機用開発支援装置 51 は、電子計算機用開発支援装置本体 52 と、そこから導出されたケーブル 53 と、そのケーブル 53 の端に取り付けられた CPU プローブ 54 とを具備して構成されている。前記 CPU プローブ 54 を前記 CPU ソケット 502 に嵌入することで、前記ター

ゲットボード 501 と接続される。この種の電子計算機用開発支援装置 51 は、CPU インサーキットエミュレータ (in-circuit emulator) と呼ばれる。これにより、前記 CPU ソケット 502 に搭載されるべき CPU の動作が前記電子計算機用開発支援装置 51 によりエミュレート (emulate) され、前記ターゲットボード 501 の動作検証等が行われる。

【0003】 ー従来例 2ー

図 6 は、従来の電子計算機用開発支援装置の別の一例を含む電子計算機システムを示す斜視図である。この電子計算機システム 600 において、ターゲットボード 601 上には、CPU 602 と、ROM ソケット 603 と、RAM 604 と、図示しない I/O 回路等が実装されると共に、GND (グラウンド) 端子と、NMI (Non Maskable Interrupt; マスク不能性割り込み) 端子と、リセット端子とが設けられている。電子計算機用開発支援装置 61 は、電子計算機用開発支援装置本体 62 と、そこから導出されたケーブル 63 と、そのケーブル 63 の端に取り付けられた ROM プローブ 64 とを具備して構成されている。前記 ROM プローブ 64 を前記 ROM ソケット 603 に嵌入することで、前記ターゲットボード 601 と接続される。また、コントロールプロブ 65 を前記ターゲットボード 601 上の各端子に接続することで、GND レベルと、NMI 信号と、リセット信号とが前記ターゲットボード 601 に与えられる。この種の電子計算機用開発支援装置 61 は、ROM インサーキットデバッグ (in-circuit debugger) と呼ばれる。これにより、前記 ROM ソケット 603 に搭載されるべき ROM の動作が前記電子計算機用開発支援装置 61 によりエミュレートされ、プログラムのデバッグ (debug) 等が行われる。

【0004】 ー従来例 3ー

図 7 は、従来の電子計算機用開発支援装置のさらに別の一例を含む電子計算機システムを示す斜視図である。この電子計算機システム 700 において、ターゲットボード 701 上には、CPU 702 と、ROM 703 と、RAM 704 と、JTAG (Joint Test Action Group) ソケット 705 と、図示しない I/O 回路等とが実装されている。電子計算機用開発支援装置 71 は、電子計算機用開発支援装置本体 72 と、そこから導出されたケーブル 73 と、そのケーブル 73 の端に取り付けられた JTAG コネクタ 74 とを具備して構成されている。前記 JTAG コネクタ 74 を前記 JTAG ソケット 705 に嵌入することで、前記ターゲットボード 701 と接続される。これにより、前記電子計算機用開発支援装置 71 は、前記 CPU 702 の内部に組み込まれたデバッグ機能との通信を利用したデバッグ、すなわちオンチップデバッグを行う。

【0005】

【発明が解決しようとする課題】 上記従来の電子計算機

用開発支援装置51では、CPUインサート方式のため、CPUの高速化やキャッシュ搭載化に対応し難い問題点がある。また、CPUの多様化に伴ってのタイムリーな製品リリースに支障を来すようになってきた問題点がある。また、上記従来の電子計算機用開発支援装置61では、ROMインサート方式のため、モニタエリアやワークメモリのユーザメモリ空間の占有による制約や、トレース機能の充実化に対応し難い問題点がある。さらに、上記従来の電子計算機用開発支援装置71では、CPU周辺のメモリ、入出力状況、アクセス状況等のリアルタイムトレースや、ROMエミュレーションを行い難い問題点がある。

【0006】そこで、本発明の目的は、JTAGポートを使ったオンチップデバッグと、リアルタイムトレースと、メモリエミュレーションのそれぞれを効率よく行える電子計算機用開発支援装置を提供することにある。

【0007】

【課題を解決するための手段】第1の観点では、本発明は、ターゲットボードのJTAGポートに接続し得るJTAGコネクタと、前記ターゲットボードのリアルタイムトレースおよびメモリエミュレーションに用いる拡張機能用端子を有する専用コネクタとを具備したことを特徴とする電子計算機用開発支援装置を提供する。上記第1の観点による電子計算機用開発支援装置では、JTAGコネクタをターゲットボードに接続することで、JTAGポートを用いたオンチップデバッグを行うことが可能となる。また、専用コネクタをターゲットボードに接続することで、リアルタイムトレースまたはメモリエミュレーションを行うことが可能となる。この結果、オンチップデバッグと、リアルタイムトレースと、メモリエミュレーションのそれぞれを効率よく行えるようになる。

【0008】第2の観点では、本発明は、ターゲットボードと接続するための専用コネクタを備えた電子計算機用開発支援装置であって、前記専用コネクタは、JTAG端子と、リアルタイムトレースおよびメモリエミュレーションに用いる拡張機能用端子とを有することを特徴とする電子計算機用開発支援装置を提供する。上記第2の観点による電子計算機用開発支援装置では、専用コネクタをターゲットボードに接続することで、JTAGポートを用いたオンチップデバッグ、拡張機能用端子を用いたリアルタイムトレース、メモリエミュレーションのいずれかを必要に応じて効率よく行うことが可能となる。また、コネクタが1つで済むので、小型化と低コスト化に好都合となる。

【0009】第3の観点では、本発明は、上記構成の電子計算機用開発支援装置において、前記拡張機能用端子は、前記ターゲットボード上に実装されたCPUを制御して動作状況を取得するためのリアルタイムトレース用信号端子と、前記ターゲットボード上に実装されたメモ

リを能動状態または待機状態に制御して前記メモリの動作をエミュレートするためのメモリエミュレーション用信号端子とを有することを特徴とする電子計算機用開発支援装置を提供する。上記第3の観点による電子計算機用開発支援装置では、リアルタイムトレース用信号端子により、リアルタイムトレースを行うことが可能となる。また、メモリエミュレーション用信号端子により、メモリエミュレーションを行うことが可能となる。

【0010】第4の観点では、本発明は、上記構成の電子計算機用開発支援装置において、前記リアルタイムトレース用信号端子は、前記CPUのアドレス、データ、ステータスの各信号端子を含み、前記メモリエミュレーション用信号端子は、前記CPUのアドレス、データ、前記メモリに対するチップセレクト、前記ターゲットボードのリセットの各信号端子を含むことを特徴とする電子計算機用開発支援装置を提供する。上記第4の観点による電子計算機用開発支援装置では、CPUのアドレス、データ、ステータスの各信号により、リアルタイムトレースを好適に行えるようになる。また、CPUのアドレス、データ、チップセレクト、リセットの各信号により、メモリエミュレーションを好適に行えるようになる。

【0011】

【発明の実施の形態】以下、図に示す実施の形態により本発明をさらに詳細に説明する。なお、これにより本発明が限定されるものではない。

【0012】—第1の実施形態—

図1は、本発明の第1の実施形態にかかる電子計算機用開発支援装置を含む電子計算機システムを示す説明図である。この電子計算機システム100において、ターゲットボード101上には、CPU102と、ROM103と、RAM104と、JTAGポートを用いた前記CPU102のオンチップデバッグに必要な信号をやり取りするためのJTAGソケット105と、リアルタイムトレースまたはROMエミュレーションに必要な信号をやり取りするための専用ソケット106と、図示しないI/O回路等が実装されている。前記ROM103は、例えばフラッシュ(flash)ROMである。前記RAM104は、例えばSDRAM(Synchronous Dynamic Random Access Memory)である。

【0013】電子計算機用開発支援装置1は、電子計算機用開発支援装置本体2と、その電子計算機用開発支援装置本体2から導出されたケーブル3およびケーブル4と、前記ケーブル3の端に取り付けられたJTAGコネクタ5と、拡張機能用端子(図2の6a)を有する専用コネクタ6とを具備して構成されている。前記電子計算機用開発支援装置本体2は、前記JTAGコネクタ5を通じてオンチップデバッグを行うためのオンチップデバッグ対応部2aと、前記専用コネクタ6を通じて前記ターゲットボード101の動作をリアルタイムトレースす

るためのリアルタイムトレース部2bと、前記専用コネクタ6を通じて前記ROM103の動作をエミュレーションするためのROMエミュレーション部2cとを内蔵する。前記JTAGコネクタ5を前記JTAGソケット105に嵌入し、前記専用コネクタ6を前記専用ソケット106に嵌入することで、前記電子計算機用開発支援装置1と前記ターゲットボード101とが接続される。

【0014】前記JTAGコネクタ5は、JTAGテスト用端子、すなわちTCK（テストクロック）、TMS（テストモードセクタ）、TDI（テストデータイン）、TDO（テストデータアウト）、TRST（非同期テストリセット）の各信号端子に加えて、オンチップデバッグ専用信号端子を有している。なお、前記CPU102の種類によっては、前記オンチップデバッグ専用信号端子は不要である。

【0015】図2は、前記専用コネクタ6の端子部分の説明図である。なお、端子配列および端子数は、図示と異なってもよい。また、GND端子や、電源端子をさらに設けてもよい。拡張機能用端子6aは、リアルタイムトレースに用いるリアルタイムトレース用信号端子6rと、ROMエミュレーションに用いるROMエミュレーション用信号端子6eとからなる。前記リアルタイムトレース用信号端子6rおよび前記ROMエミュレーション用信号端子6eは、前記CPU102からアドレスを受け取るための「アドレス端子」と、データをやり取りするための「データ端子」と、前記CPU102に固有の信号（例えばRAM104に対する制御信号）を送るための「CPU固有信号端子」と、前記CPU102の「クロック端子」とを共有する。前記リアルタイムトレース用信号端子6eは、前記CPU102からステータスを受け取るための「ステータス端子」を更に有する。前記ROMエミュレーション用信号端子6eは、前記ROM103を能動状態または待機状態に制御するチップセレクト信号を送るための「チップセレクト端子」と、前記ターゲットボード101へリセット信号を送るための「リセット端子」とを更に有している。

【0016】以上の第1の実施形態にかかる電子計算機用開発支援装置1によれば、JTAGコネクタ5を通じて、JTAGポートを使ったオンチップデバッグ処理を行うことが可能となる。これにより、本来のCPU102およびROM103を実装した動作環境すなわち透過性が100%の条件で、ハードウェアやソフトウェアのデバッグを行うことが出来る。また、専用コネクタ6のリアルタイムトレース用信号端子6rを通じて、CPU102や、ROM103や、RAM104の動作状況（例えばリード/ライト状況、入出力状況、アクセス状況）に関するリアルタイムトレースを行うことが可能となる。なお、リアルタイムトレース時と同じ信号を用いて、例えば100MHz程度のシステムバスクロック周波数に対応したバスアナライザの機能を実現することも

出来る。さらに、専用コネクタ6のROMエミュレーション用信号端子6eを通じて、ROM103のエミュレーションを行うことが可能となる。

【0017】—第2の実施形態—

図3は、本発明の第2の実施形態にかかる電子計算機用開発支援装置を含む電子計算機システムを示す説明図である。この電子計算機システム200において、ターゲットボード201上には、CPU102と、ROM103と、RAM104と、オンチップデバッグとリアルタイムトレースとROMエミュレーションに必要な信号をやり取りするための専用ソケット206と、図示しないI/O回路等が実装されている。

【0018】電子計算機用開発支援装置10は、電子計算機用開発支援装置本体20と、その電子計算機用開発支援装置本体20から導出されたケーブル24と、そのケーブル24の端に取り付けられた専用コネクタ26とを具備して構成されている。前記電子計算機用開発支援装置本体20は、前記専用コネクタ26を通じて、JTAGポートを用いたオンチップデバッグを行うためのオンチップデバッグ対応部20aと、前記ターゲットボード201の動作をリアルタイムトレースするためのリアルタイムトレース部20bと、前記ROM103の動作をエミュレーションするためのROMエミュレーション部20cとを内蔵する。前記専用コネクタ26を前記専用ソケット206に嵌入することで、前記電子計算機用開発支援装置10と前記ターゲットボード201とが接続される。

【0019】図4は、前記専用コネクタ26の端子部分の説明図である。JTAG端子26aは、JTAGテスト用端子と、オンチップデバッグ専用信号端子とを有している。拡張機能用端子6aは、リアルタイムトレースに用いるリアルタイムトレース用信号端子6rと、ROMエミュレーションに用いるROMエミュレーション用信号端子6eとからなる（各端子の内容は、先に図2を参照して説明した通りである）。

【0020】以上の第2の実施形態にかかる電子計算機用開発支援装置10によれば、ターゲットボード201に専用コネクタ26を接続するだけで、オンチップデバッグ、リアルタイムトレース、メモリエミュレーションのいずれかを任意に行うことが可能となる。また、接続用のケーブル、コネクタがそれぞれ1つで済むので（ケーブル24と専用コネクタ26だけでよい）、小型化と低コスト化に好都合となる。

【0021】

【発明の効果】本発明の電子計算機用開発支援装置によれば、ターゲットボードにJTAGコネクタおよび専用コネクタを接続するか、又は、専用コネクタを接続するだけで、オンチップデバッグ、リアルタイムトレース、メモリエミュレーションを臨機応変に行うことが可能となり、開発能率を向上することが出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施形態にかかる電子計算機用開発支援装置を含む電子計算機システムを示す説明図である。

【図2】図1の電子計算機用開発支援装置における専用コネクタの端子部分の説明図である。

【図3】本発明の第2の実施形態にかかる電子計算機用開発支援装置を含む電子計算機システムを示す説明図である。

【図4】図3の電子計算機用開発支援装置における専用コネクタの端子部分の説明図である。

【図5】従来の電子計算機用開発支援装置の一例を含む電子計算機システムを示す斜視図である。

【図6】従来の電子計算機用開発支援装置の別の一例を含む電子計算機システムを示す斜視図である。

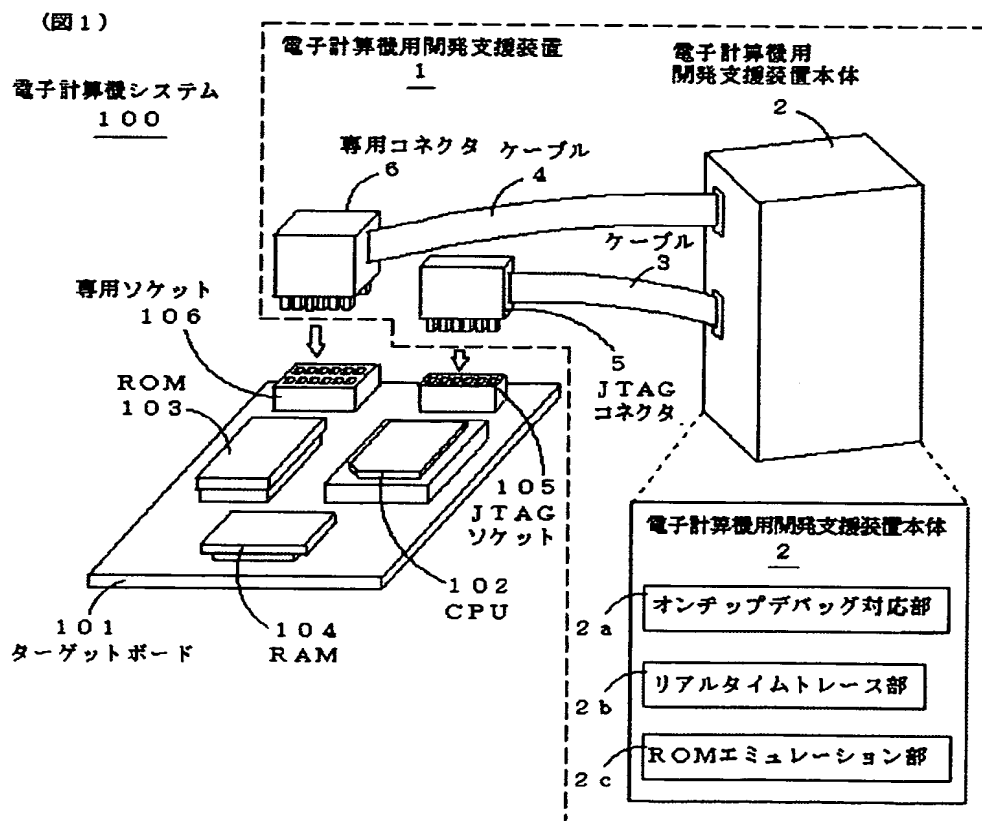
【図7】従来の電子計算機用開発支援装置のさらに別の一例を含む電子計算機システムを示す斜視図である。

【符号の説明】

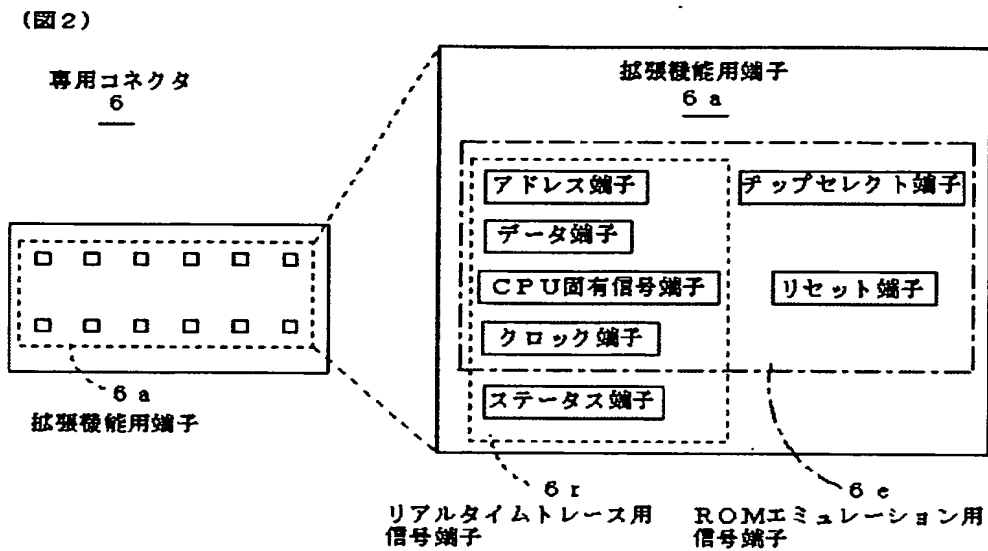
1, 10 電子計算機用開発支援装置

2, 20 電子計算機用開発支援装置本体
 2a, 20a オンチップデバッグ対応部
 2b, 20b リアルタイムトレース部
 2c, 20c ROMエミュレーション部
 3, 4, 24 ケーブル
 5 JTAGコネクタ
 6, 26 専用コネクタ
 6a 拡張機能用端子
 6e ROMエミュレーション用信号端子
 6r リアルタイムトレース用信号端子
 26a JTAG端子
 100, 200 電子計算機システム
 101, 201 ターゲットボード
 102 CPU
 103 ROM
 104 RAM
 105 JTAGソケット
 106, 206 専用ソケット

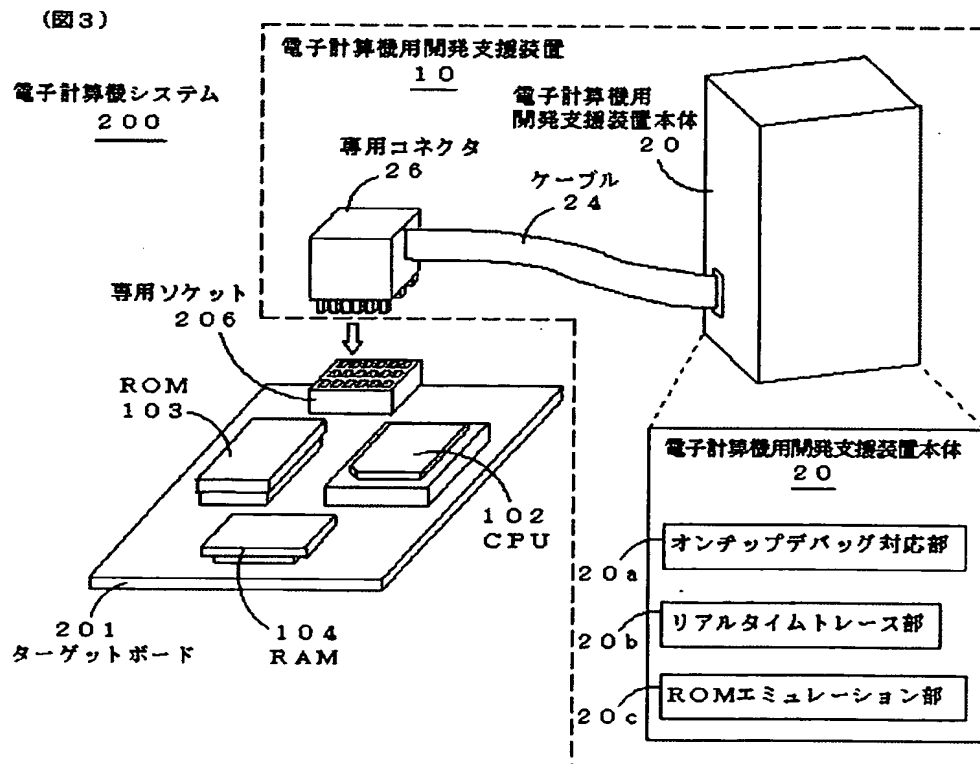
【図1】



【図2】

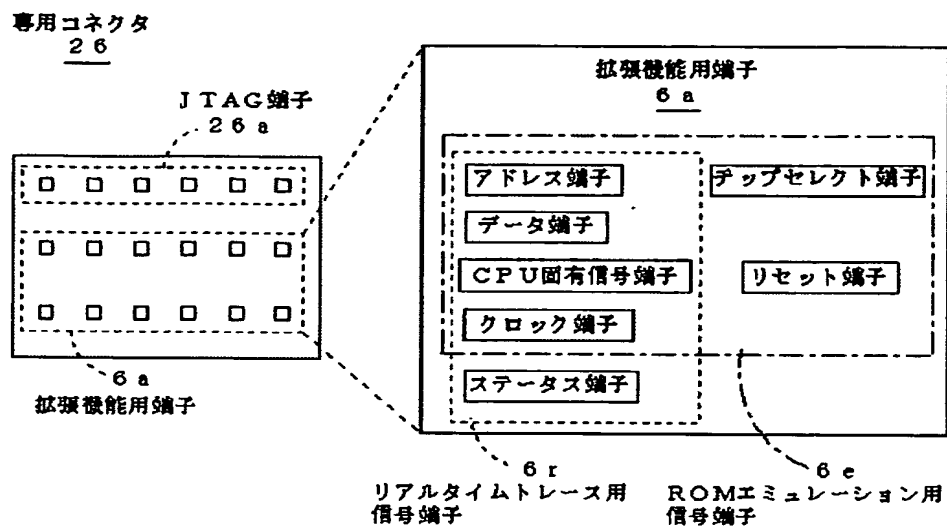


【図3】



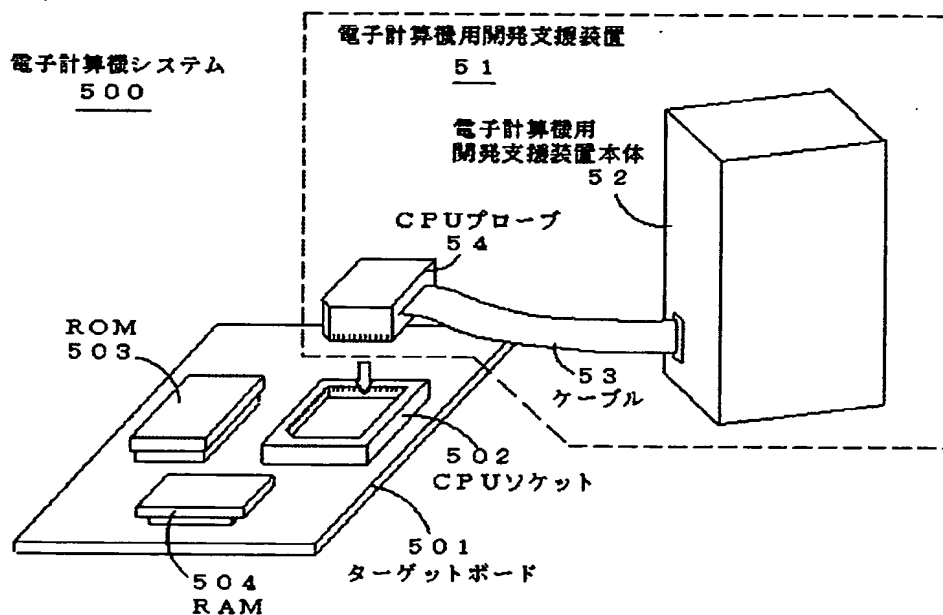
【図4】

(図4)

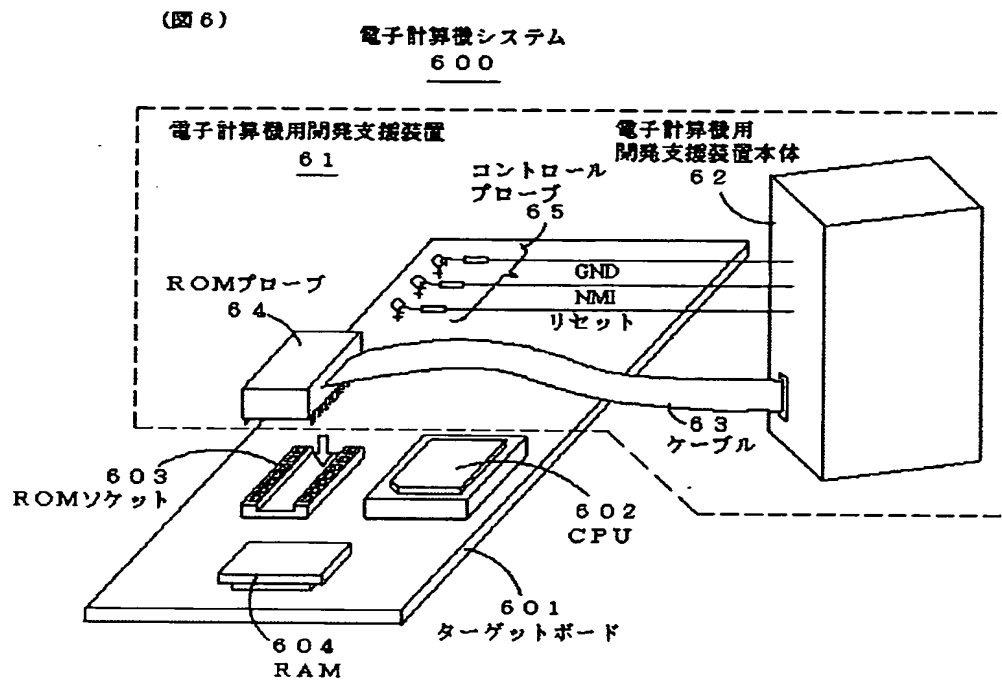


【図5】

(図5)



【図6】



【図7】

(図7)

電子計算機システム
700

